

日期：112年12月15日  
便簽 單位：研究發展處

速別：普通件

密等及解密條件或保密期限：

- 一、文陳閱後，公告於電子公布欄、本組、本處及本校最新消息，並e-mail副知全校教師知照。
- 二、計畫主持人請於校內申請截止日113年2月17日上午10時前於國科會系統完成線上申請作業，並立即填送「國立中興大學申請國科會研究計畫計畫主持人學術倫理聲明書」至申請單位(系、所、中心)。
- 三、申請單位須於113年2月19日上午10前至國科會系統確認申請案並列印申請名冊(樣張)1份經單位主管核章後，併同「國立中興大學申請國科會研究計畫申請單位切結書」送至研發處計畫業務組，逾期恕不受理。
- 四、計畫主持人若無法於校內申請截止日前完成申請程序，請提前來電告知本組，避免影響個人權益；另提醒申請者於提出計畫申請案前，務必更新或確認個人資料（職稱請以人事室核發之正式職稱為準）。
- 五、文存。

會辦單位：

第二層 決行	
承辦單位	會辦單位 決行
行政組 張明芬   1215   1549	
副教授 江信毅   1216 兼組長            2348	代為決行 教授兼 宋振銘   1216 研究發展處            2348



裝  
訂  
線

檔 號：

保存年限：

## 國家科學及技術委員會 函

機關地址：臺北市和平東路二段106號  
聯絡人：張庭軒 助理研究員  
電話：02-2737-7437  
傳真：--  
電子信箱：tschang@nstc.gov.tw

受文者：國立中興大學

發文日期：中華民國112年12月14日  
發文字號：科會工字第1120082378號  
速別：普通件  
密等及解密條件或保密期限：

附件：如文(附件1 112E0P000467\_112D2036418-01.pdf、附件2  
112E0P000467\_112D2036419-01.pdf、附件3 112E0P000467\_112D2036420-  
01.odt)

主旨：本會113年度「前瞻晶片設計軟體技術開發計畫」自即日起接受申請，請於113年2月20日（星期二）前函送本會，逾期不予受理，請查照轉知。

說明：

- 一、依本會補助專題研究計畫作業要點規定辦理，申請機構及計畫主持人務必先行詳閱本計畫徵求公告及相關附件各項規定。
- 二、本計畫申請案全面實施線上申請，各類書表請務必至本會網站（<https://www.nstc.gov.tw>）進入「學術研發服務網」製作；計畫類別：「專題類-隨到隨審計畫 | 一般策略專案計畫」，學門代碼：「E9877-前瞻晶片設計軟體技術開發計畫」，子學門代碼依計畫所屬分項點選其中之一「E987701-開發異質整合與先進封裝的EDA、E987702-前瞻製程技術工具開發」，以利識別。
- 三、本計畫未獲補助案件恕不受理申覆。
- 四、檢附計畫徵求公告1份，並公告於本會工程處網站（<https://www.nstc.gov.tw/eng/ch>）。
- 五、計畫徵求說明會資訊：  
(一)時間：112年12月29日(五)上午10點。



國立中興大學

第1頁，共15頁  
線上簽核文件列印 - 第2頁/共16頁



1120027158 112/12/15

(二)地點：以線上視訊會議方式參與。

(三)參與方式：視訊參與者請事先報名，會議相關更新資訊及視訊會議網址將於12月27日前e-mail通知，報名網址：<https://forms.gle/QzcZwdJLu2pkSxEe6>。

正本：專題研究計畫受補助單位（共301單位）

副本：本會工程處、綜合規劃處

112/12/15  
08:17:08

裝

主任委員吳政忠

訂



## 113 年度「前瞻晶片設計軟體技術開發計畫」徵求公告

### 壹、計畫背景及目的

在目前美中對峙的世界格局下，半導體成為關鍵國家戰略的一環，臺灣必須掌握目前優勢在產、學、研各面向持續精進前瞻半導體技術研發與人才量能。為因應後摩爾定律的挑戰，美國於 2018 年啟動「電子復興計畫」(ERI, Electronic Resurgence Initiative)，主要透過電路專業化 (circuit specialization) 去針對後摩爾定律階段衍生的複雜性進行專案研發，五年經費由美國國防部高級研究計畫局(DARPA)出 15 億美元和國會配合 1.5 億美元，重振美國半導體 IC 設計和設計自動化。2023 年八月更發動 ERI 2.0，定調 3DHI(3D and heterogeneous integration)在航太與國防、AI 等領域的重要性，如何強化設計及測試繼續為現在與未來電子應用與產品設計的重中之重，其中電子設計自動化(EDA)更是半導體/晶片設計產業上游中的上游，重要性不言而喻，如何維持或升級臺灣的晶片設計能力必須先鞏固 3DHI EDA 工具發展能力。



由於目前的 EDA 工具由國際大廠所主導研發，本土 EDA 研究雖有良好成績，但缺乏有效資源整合，造成無法凝聚自身研發與發揮供應鏈力量，加上先進封裝帶出的目前工具的最佳化探索缺陷，顯示我們需要推動下世代所需新興晶片設計軟體開發技術的關鍵佈局，持續探索創新的研究方法。



本計畫將分兩大方向來發展，(1)針對 2.5D/3D 與目前為接棒摩爾定律的先進封裝及實現系統的印刷電路板設計自動化與共同設計平台與工具進行開發；(2)將研發可以發揮 16 奈米以下的緒式電晶體/奈米片電晶體效能與新興科技如矽光子與量子電腦、及生成式 AI 輔助的先進電路合成及佈局工具，加速業界並輔助中小公司開發工具時程。

### 貳、計畫研發方向

以挑戰“下世代新興電子設計自動化研發”為宗旨，並有開創性新思維，以最大化台灣設計製造封測供應鏈能力開發本土 EDA 解決方案，引導並鼓勵有豐沛研究能量的台灣學界提出前瞻性解決方案。

本計畫徵求之研究重點分為二大分項（詳細說明請見附件一）。

- 一、 開發異質整合與先進封裝的 EDA
- 二、 針對前瞻製程技術與新興科技晶片、AI 輔助的設計工具開發

### 參、計畫撰寫說明

- 一、 計畫摘要:請於研究計畫中英文摘要(表 CM02)具體說明要解決的問題和技術突破點，以達成本計畫所推動之頂尖研發目標或與國際 EDA 大廠目前解決方案互補或超越的相關研究的成果。
- 二、 計畫目標：須明確陳述整體總目標，必須具有開創新思維，且以本計畫終極目標挑戰與現行解決方案互補且非單一工具為宗旨。
- 三、 計畫團隊: 研究團隊近 5 年與計畫相關領域之表現，總計畫及各子計畫的關聯性需於計畫書中具體敘明。
- 四、 計畫內容：鼓勵學界勇於提出不同於現有技術之前瞻性解決方案，以達成本計畫挑戰國際級成果之精神，計畫中須明確定義各個技術查核點與技術可行性評估依據。計畫內容必須陳述各年研發目標、國內外現況分析、所開發之系統與業界設計流程整合與介接、預期關鍵技術產出、人才培育等要項。
- 五、 產學研合作: 計畫需明確說明與業界廠商或工業技術研究院有實質的合作，例如經費及人員投入、設備支援或技術合作開發。請於申請計畫時提供附件二(合作意願書及合作內容說明)；並請將附件二置於計畫書表 CM03 研究計畫內容最後。

(一)、分項一部分(開發異質整合與先進封裝的 EDA)

因高挑戰性的目標需要更全面的資源與專長整合方能達成，合作模式如下:(擇一)

1. 研究團隊與業界(EDA 或 IC 設計中小及新創公司)及經濟部所規劃之設計與測試平台合作，將發展的工具鏈上架平台。
2. 研究團隊與經濟部之平台直接洽談，對接平台開發所需工具鏈。
3. 研究團隊與具規模之 IC 設計與製造業者在其設計流程合作共創工具鏈。

(二)、分項二部分(針對前瞻製程技術與新興科技晶片、AI 輔助的設計工具開發)

除著重於前瞻的電子設計自動化軟體開發之外，需於計畫書中具體敘明未來用於業界設計流程軟體之規劃。

六、研究團隊如有執行中之國科會 EDA 相關計畫，應於計畫中說明實質區隔，避免重複。



肆、計畫申請、審查及核定

一、申請須知

- (一) 申請機構與計畫主持人(申請人)須符合本會補助專題研究計畫作業要點之規定。
- (二) 本專案須規劃申請 5 年期計畫，自 113 年 5 月 1 日至 118 年 4 月 30 日，且以單一整合型研究計畫為限。
- (三) 每一整合型計畫之總計畫及所有子計畫全部書寫於一份計畫書，子計畫應為三個(含)以上，最多以不超過六個為原則。總計畫主持人須同



時主持 1 項子計畫，各主持人應實質參與研究，計畫書應詳實註明各主持人負責之研究主題，整合之計畫需有整體明確的目標，並由總計畫主持人之服務機關提出申請。未依規定申請者，恕不予受理審查。

(四) 每一計畫每年度申請總額：

1. 申請分項一以不超過 2,500 萬元為原則。
2. 申請分項二以不超過 1,000 萬元為原則。

(五) 計畫請從二大研究分項中，擇一申請最相關之分項，本會將邀請相關領域專家學者就計畫內容進行審查。

(六) 申請程序：

1. 計畫申請作業，自即日起接受申請，請申請人依本會補助專題研究計畫作業要點，研提正式計畫申請書(採線上申請)；申請人之任職機構應於 113 年 2 月 20 日(星期二)前備函送達本會(請彙整造冊後專案函送，逾期恕不受理)。
2. 計畫書撰寫時，請採用本會專題研究計畫申請書格式；線上申請時，請選擇「專題類-隨到隨審計畫」；計畫類別點選「一般策略專案計畫」；研究型別點選「整合型計畫」；計畫歸屬點選「工程處」；學門代碼點選「E9877-前瞻晶片設計軟體技術開發計畫」，子學門代碼依計畫所屬分項點選其中之一：

分項一：「E987701-開發異質整合與先進封裝的 EDA」

分項二：「E987702-前瞻製程技術工具開發」。

(七) 有關計畫頁數限制請務必依照本會工程處公告之「專題研究計畫申請書表 CM03 研究計畫內容頁數限制一覽表」內相關規定。



## 二、 審查與核定

- (一) 審查方式包括初審及複審，如有必要將安排計畫申請人簡報計畫內容。
- (二) 本計畫屬專案計畫，審查未獲通過者，恕無申覆機制。
- (三) 本計畫申請人須規劃申請 5 年期計畫，自 113 年 5 月 1 日至 118 年 4 月 30 日，業經審查通過，計畫執行期間每年進行成果考評，依審查結果核定次年度經費，本會可視情況調整作業時程。

### (四) 審查重點：

1. 計畫提案之企圖心與本計畫欲突破技術或協同設計工具之切合度。
2. 系統設計驗證目標或新興設計需求的設計輔助工具鏈之新穎性。
3. 產業應用之可行性。
4. 計畫所提技術之理論基礎。
5. 計畫主持人之執行力。
6. 團隊成員之互補性與跨領域、跨單位資源整合能力。

(五) 本專案之總計畫及子計畫主持人，本會得核給研究主持費最高每個月總計畫主持人及子計畫主持人新台幣 30,000 元，以鼓勵總計畫及子計畫主持人能專注投入執行。總計畫及子計畫主持人於計畫執行期間僅得支領 1 份研究主持費，同一執行期限若同時執行 2 件以上，以最高額度計算，並得於不同計畫內採差額方式核給。

(六) 本計畫列入國科會專題研究計畫件數計算額度，經核定補助後，列入總計畫主持人執行計畫件數，子計畫主持人則不列入計算。

## 伍、執行與考評

一、 本會將對執行計畫定期進行考評，執行團隊必須配合提供計畫執行進度



與成果，並出席各項審查會議。計畫申請書及成果報告將提供相關管考單位進行評估考核。

- 二、執行團隊須配合本會進行計畫執行成果發表、推廣應用及交流等工作推動。
- 三、如未依規定繳交報告或執行成效未如預期且計畫主持人未盡力改善時，國科會得調減次年度經費或終止執行該計畫。
- 四、本計畫期能有效提升國內 EDA 非單點工具及系統層級工具研發能力，鼓勵與業界進一步合作開發，促成業界投入下世代關鍵 EDA 工具開發；為了解業界實際參與情況，執行團隊需於每年度計畫成果考評說明業界參與實際投入情形，本會將視情況調整次年度經費，以資鼓勵。



#### 陸、其他注意事項

- 一、各年度所需經費如未獲立法院審議通過或經部分刪減，本會得依審議結果調減補助經費，並按預算法第五十四條規定辦理。
- 二、計畫成果發表除須註明本會補助外，亦請註明本計畫名稱或計畫編號。
- 三、本計畫之簽約、撥款、延期與變更、經費結報及報告繳交等應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則、專題研究計畫補助合約書與執行同意書及其他有關規定辦理。
- 四、本公告未盡事宜，應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則及其他相關法令規定辦理。

#### 柒、計畫聯絡方式

召集人：國立陽明交通大學電子研究所 陳宏明教授

Tel：(03)5731626

E-mail : [hmchen@nycu.edu.tw](mailto:hmchen@nycu.edu.tw)

共同召集人：國立清華大學資訊工程學系 麥偉基教授

Tel : (03)5731209

E-mail : [wkmak@cs.nthu.edu.tw](mailto:wkmak@cs.nthu.edu.tw)

共同召集人：國立臺灣科技大學資訊工程系 劉一字副教授

Tel : (02)27303664

E-mail : [yyliau@mail.ntust.edu.tw](mailto:yyliau@mail.ntust.edu.tw)

國科會工程處承辦人：張庭軒助理研究員

Tel : (02)2737-7437

E-mail : [tschang@nstc.gov.tw](mailto:tschang@nstc.gov.tw)

國科會工程處專任助理：謝玉娟小姐

Tel : (02)2737-7983

E-mail : [soa222@nstc.gov.tw](mailto:soa222@nstc.gov.tw)

有關計畫申請系統操作問題，請洽本會資訊系統服務專線

Tel : (02)2737-7590、7591、7592



# 113 年度「前瞻晶片設計軟體技術開發計畫」說明附件一

## 分項一：開發異質整合與先進封裝的 EDA 工具

### 壹、計畫背景及目的

因過去多年來業界與學界的研發，單晶片設計自動化工具已經頗為完善，然而針對封裝與 PCB(印刷電路)設計的自動化工具卻相對地缺乏也未見成熟。為接棒摩爾定律，隨着不同種類的 2.5D/3D ICs 之流行，與預期未來要整合大量小晶片(chiplets)於同一封裝下之需求，先進封裝自動化工具將是不可或缺。過往印刷電路板設計大量依賴手動設計來完成，但由於設計愈來愈複雜(如針腳數增加、針腳距離與線距離下降、線長匹配限制等)，已無法繼續以大量人力與時間手動佈局與繞線。另外，傳統上 PCB、IC 與封裝設計由不同的公司負責，無法共同考慮彼此的設計限制。要在各樣設計限制下進一步優化整體系統設計，必須開發晶片、先進封裝與 PCB 的協同設計自動化工具來作規劃與優化。

### 貳、研究議題範疇

隨着晶片設計產業的發展趨勢，電子設計自動化(EDA)工具必須與時俱進，開發異質整合與先進封裝的 EDA 工具鏈包含但不限於以下項目



#### 異質整合的系統設計工具鏈

(a) 協同設計下系統成本及效能評估工具

(b) 小晶片(chiplets)、封裝與印刷電路板之整合規劃與優化工具

#### (2) 先進封裝佈局與驗證工具鏈

(a) 2.5D/3D 封裝的熱、材料應力及可靠度評估工具

(b) 共同優化可靠度及效能的小晶片(chiplets)佈局自動化工具

(3) 針對以小晶片(chiplets)為主之系統的繞線自動化工具鏈(如共同考慮 PCB、封裝基板、interposer 之繞線工具鏈)

### 叁、計畫重點

針對 2.5D/3D 與目前為接棒摩爾定律的各類先進封裝技術，本分項之目的在於協助台灣在異質整合的系統設計工具上有機會領先國外大廠，為本計畫重點發展項目。本計畫強調開發線段式設計自動化工具鏈的雛型方案，而非單點式工具。並且研究團隊須與國內業界實質合作，或整合至經濟部工研院擬開發之 EDA 平台(前瞻智能化 EDA+晶片設計平台)，以便了解業界需求和整合於現有設計流程中，以至所研發之技術最終能夠順利應用於我國半導體產業中，增進我國在異質整合系統設計上的效率與品質。



## 分項二：針對前瞻製程技術與新興科技晶片、AI 輔助的設計工具開發

### 壹、計畫背景及目的

半導體製造技術的進展為前瞻晶片系統整合帶來了兆級電晶體數量的可能性。GAA/Nanosheet 和 CFET 技術在全球先進製程競賽中展現高性能和效率的潛力，使得專注於這些技術的設計自動化和系統層級驗證策略變得至關重要。此外，結合矽光子通訊和量子運算系統的新興科技，有望開發出高頻寬、低功耗、低延遲且高擴充性的次世代計算系統。同時，融合人工智慧的技術將進一步加速晶片設計的效率，提升產品競爭力。我國在 IC 製造、設計與自動化領域具有深厚的基礎，但面對新興科技則相對較為保守。為了因應大環境的挑戰，宜促成產學研深度合作，以確保我國在全球半導體和電子資訊產業中的領先地位。

### 貳、研究議題範疇

本計畫的研究重點包括：



#### 1) 前瞻製程晶片的 EDA 工具鏈

##### (a) GAA/Nanosheet 與 CFET 技術的佈局優化

##### (b) 晶片可靠性、容錯、測試與驗證的整合

#### (2) 新興科技晶片設計自動化

##### (a) 矽光子互聯系統的自動化設計工具

##### (b) 量子運算的邏輯合成與佈局策略

#### (3) AI 在晶片設計的 EDA 工具鏈

##### (a) 生成式 AI 融合於晶片設計流程



## (b) AI 於晶片建模、模擬與優化

### 叁、計畫重點

本計畫的重點是結合我國的半導體前瞻製程與新興科技，發展先進的晶片系統設計自動化技術，並將人工智慧技術整合於設計流程中。計畫的目標產出不僅是創建單點式的設計工具，更著重於建立一套鏈式協同設計流程。執行團隊須與國內外技術領先的產業界或研發團隊深度合作，確保研發成果能夠提升我國前瞻晶片製程與產品的競爭力，並促進新興科技能有效與國內產業橋接。透過運用業界的大量成功設計與數據，期望晶片設計團隊能更有效率地進行設計優化，進而鞏固我國在半導體領域的全球領先地位。



113 年國家科學及技術委員會「前瞻晶片設計軟體技術開發計畫」  
合作意願書

本企業/工業技術研究院\_\_\_\_\_與計畫主持人\_\_\_\_\_  
(蓋章)，參與國家科學及技術委員會研究計畫 (計畫名稱：\_\_\_\_\_ )，對研究主題及產出有高度興趣，願意參與本研究計畫。

合作企業/工業技術研究院統一編號：

主要營業項目：

單位：

職稱：

電話：

E-mail：

合作企業/工業技術研究院代表人：\_\_\_\_\_ (簽章)

中華民國 \_\_\_\_年 \_\_\_\_月 \_\_\_\_日

本計畫規劃與業界/工業技術研究院合作之工作項目與內容說明

第一年:



第三年:

第四年:

第五年: